

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-101066

(43)Date of publication of application : 07.04.2000

(51)Int.Cl. H01L 29/744
H01L 29/74
H01L 29/749
H01L 29/78
H01L 29/861

(21)Application number : 10-271604

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.09.1998

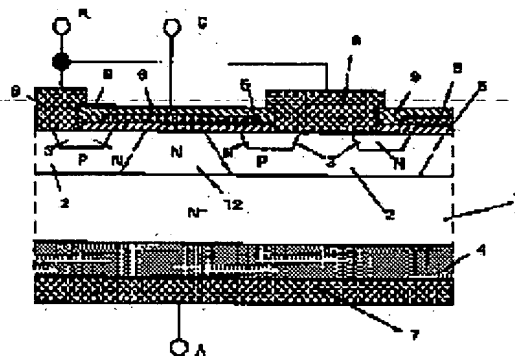
(72)Inventor : FUDA MASANORI
SHINOHE TAKASHI

(54) POWER SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To protect a power semiconductor device against damages by a method, wherein impurities used for forming a first conductivity-type layer or a second conductivity-type layer which forms the device are composed of donors or acceptors of different specific levels, so as to enable a current to flow uniformly through the device and the device to obtain high resistance, when a heavy current flows through it.

SOLUTION: When diffusion layers are formed so as to form layers with different conductivity type by the use of impurities, one is of a shallow level below 0.05 eV and the other is of deep level 0.05 eV or more, free carriers are generated from impurities of deeper the level, the higher the temperature is, and free electrons and free holes are equal to each other in the diffusion layer, so that the diffusion layer becomes high in resistance. For instance, a power semiconductor, where impurities of deep donor level are injected into a P-type emitter layer a, rises in temperature when a current is concentrated at current turn on or turn off, free electrons increase in number, and the P-type emitter layer a becomes substantially high in resistance. With this setup, current becomes less concentrated, and a power semiconductor device of this constitution enables protection against broakages.



LEGAL STATUS

[Date of request for examination] 06.09.2001

[Date of sending the examiner's decision of rejection] 20.05.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-101066

(P 2000-101066A)

(43) 公開日 平成12年4月7日 (2000. 4. 7)

(51) Int. Cl. ⁷	識別記号		F I		テームコード* (参考)	
H 0 1 L	29/744		H 0 1 L	29/74	C	5F005
	29/74				A	
	29/749				B	
	29/78				6 0 1	A
	29/861			29/78	6 5 3	A
審査請求	未請求	請求項の数 6	O L		(全 7 頁)	最終頁に続く

(21) 出願番号 特願平10-271604

(22) 出願日 平成10年9月25日 (1998. 9. 25)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 附田 正則

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 四戸 孝

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74) 代理人 100081732

弁理士 大胡 典夫 (外1名)

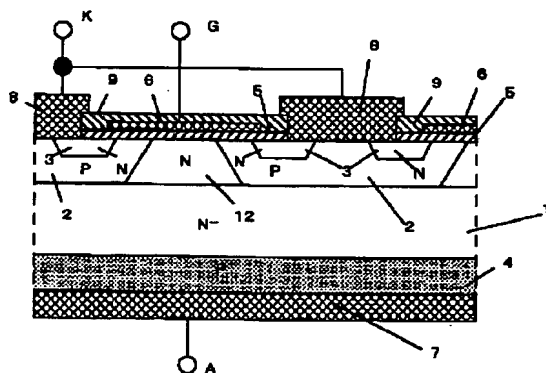
F ターム (参考) 5F005 AA02 AA03 AB02 AB03 AC02
AE09 AF02

(54) 【発明の名称】 電力用半導体素子

(57) 【要約】

【課題】 導通時やターンオフ時における電流集中による破壊を防止する。

【解決手段】 半導体素子の層を形成するときに深い準位の不純物を浅い準位の不純物と混合して形成する。



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】 素子を構成する第一導電型層または第二導電型層を形成するための不純物が、二種類以上の異なる種類の導電型層を形成するドナーまたはアクセプタで構成されており、その準位の一つが0.05 eV未満の値を持ち、また他の1つが0.05 eV以上の値をもつ電力用半導体素子。

【請求項2】 素子主電流経路を構成する第一導電型層または第二導電型層を形成するための不純物が、二種類以上の異なる種類の導電型層を形成するドナーまたはアクセプタで構成されており、その準位の一つが0.05 eV未満の値を持ち、また他の1つが0.05 eV以上の値をもつ電力用半導体素子。

【請求項3】 素子接合終端部を構成する第一導電型層または第二導電型層を形成するための不純物が、二種類以上の異なる種類の導電型層を形成するドナーまたはアクセプタで構成されており、その準位の一つが0.05 eV未満の値を持ち、また他の1つが0.05 eV以上の値をもつような電力用半導体素子。

【請求項4】 素子主電流経路を構成する第一導電型層を貫く第二導電型層、または第二導電型層を貫く第一導電型層を形成するための不純物のドナーまたはアクセプタ準位が0.05 eV以上の値をもつ電力用半導体素子。

【請求項5】 素子主電流経路を構成する第一導電型層を貫く第二導電型層、または第二導電型層を貫く第一導電型層を形成するための不純物が、二種類以上の同じ種類の導電型層を形成するようなドナーまたはアクセプタで構成されており、その準位の一つが0.05 eV未満の値を持ち、また他の1つが0.05 eV以上の値をもつ電力用半導体素子。

【請求項6】 前記0.05 eV以上の値は、 1×10^{12} (cm⁻³) 以上 1×10^{13} (cm⁻³) 未満の不純物を注入した層では0.45 eV以上、 1×10^{13} (cm⁻³) 以上 1×10^{14} (cm⁻³) 未満の不純物を注入した層では0.35 eV以上、 1×10^{14} (cm⁻³) 以上 1×10^{15} (cm⁻³) 未満の不純物を注入した層では0.25 eV以上、 1×10^{15} (cm⁻³) 以上 1×10^{16} (cm⁻³) 未満の不純物を注入した層では0.2 eV以上、 1×10^{16} (cm⁻³) 以上 1×10^{17} (cm⁻³) 未満の不純物を注入した層では0.15 eV以上、 1×10^{17} (cm⁻³) 以上 1×10^{18} (cm⁻³) 未満の不純物を注入した層では0.1 eV以上、 1×10^{18} (cm⁻³) 以上 1×10^{19} (cm⁻³) 未満の不純物を注入した層では0.05 eV以上の値をもつ請求項1乃至5のいずれかに記載の電力用半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電力用半導体素子

に関する。

【0002】

【従来の技術】 図13の従来のプレーナ型 IEGT を例にとり説明する。今まではP型エミッタ層b (13) は浅い準位の不純物を用いていた。しかしこの構造では、温度が上昇しても抵抗率は変わらないため、導通時またはターンオフ時に電流集中のため素子が破壊しやすいという欠点があった。また、負荷短絡時にも大電流による温度上昇で素子の抵抗値が変わらないため、破壊しやすいという欠点もあった。

【0003】 図14はプレーナ型 IEGT のアノードショート構造である。それでもN型アノードショート層b (14) のキャリア密度が温度上昇により変わらないため、図13の素子と同様破壊しやすいという欠点がある。

【0004】

【発明が解決しようとする課題】 上記の如く、従来の素子構造にあってはターンオフ時または通電時に電流集中を起こし素子破壊を起こすという問題点があった。また、負荷短絡時の電流集中により素子の破壊を起こすという欠点があった。

【0005】 本発明は、上記問題点を考慮してなされたもので、その目的とするところは電流集中で高温になった部分の抵抗を大きくすることで電流を均一に流したり、大電流時に素子が高抵抗になるようにして破壊の少ない素子を提供することにある。

【0006】

【課題を解決するための手段】 上記問題を解決するため、本発明は、素子を構成する第一導電型層または第二導電型層を形成するための不純物が、二種類以上の異なる種類の導電型層を形成するドナーまたはアクセプタで構成されており、その準位の一つが0.05 eV未満の値を持ち、また他の1つが0.05 eV以上の値を持つ電力用半導体素子を提供する。

【0007】 また本発明は、素子主電流経路を構成する第一導電型層を貫く第二導電型層、または第二導電型層を貫く第一導電型層を形成するための不純物のドナーまたはアクセプタ準位が0.05 eV以上の値を持つ電力用半導体素子を提供する。

【0008】 また本発明は、素子主電流経路を構成する第一導電型層を貫く第二導電型層、または第二導電型層を貫く第一導電型層を形成するための不純物が、二種類以上の同じ種類の導電型層を形成するようなドナーまたはアクセプタで構成されており、その準位の一つが0.05 eV未満の値を持ち、また他の1つが0.05 eV以上の値をもつことを特徴とする電力用半導体素子を提供する。

【0009】 本発明のよれば、異なる導電型を形成するような浅い準位の不純物と深い準位の不純物を用い拡散層を形成することにより、高温になるほど深い準位を持

THIS PAGE BLANK (USPTO)

つ不純物から自由キャリアが生じその拡散層の自由電子と自由ホールが同数に近くなり高抵抗化する。また、拡散層を貫き2つの同じ導電型の拡散層を接続するように形成されている拡散層に、深い準位をもつ不純物または深い準位を持つ不純物と浅い準位を持つ不純物を併用すると、高温になるほど深い準位を持つ不純物から自由キャリアが生じその拡散層の自由電子と自由ホールが同数に近くなり高抵抗化する。そのため、素子からの発熱が少なくなり破壊し難くなる。

【0010】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0011】なお、この実施形態では第一導電型としてn型、第二導電型としてp型を用いる。

【0012】図1は本発明の第1の実施形態の電力用半導体素子の素子部の断面図（プレーナ型 IEGT部）である。図のようにP型エミッタ層aに深いドナー準位をもつ不純物を注入した電力用半導体素子にあっては、通電時やターンオフ時などに電流が集中すると温度が上昇し、P型エミッタ層aの自由電子が増え、P型エミッタ層aが事実上高抵抗になり、これにより電流集中が緩和され破壊が防がれる。また、部分的な電流集中ではなく全体に通常使用条件よりも大電流が流れる負荷短絡時などはP型エミッタ層a全体が高抵抗になる。そのため素子からの発熱が少なくなり破壊し難くなる。この深い準位の不純物を入れる層はここに描かれてある層ならどれでも効果があり、複数の層に入れてもまたは特定の一つの層の一部、例えば電流集中が起こりやすいところに入れても効果がある。不純物の種類はP型層であれば温度上昇により自由電子が増えるように深いドナー準位をもつ不純物を注入し、N型層であれば温度上昇により自由正孔が増えるように深いアクセプタ準位をもつ不純物を注入する。なお、N型ベース層のアノード側に高濃度のN型層を入れても構わない。

【0013】図2は本発明の第2の実施形態の電力用半導体素子の素子部の断面図（トレンチ型 IEGT）である。このような素子構造に適用した場合でも部分的に電流が集中する導通時やターンオフ時または全体に大電流が流れる負荷短絡時の破壊を防ぐことができる。

【0014】図3は従来用いられてきた浅い準位の不純物よりなる層のキャリア密度と温度の関係を示す図である。この従来から用いられている不純物を用いると、実用温度付近から半導体基板の限界温度まではキャリア密度は一定であり、よって抵抗率も大体一定であった。

【0015】図4は本発明に用いられている深い準位の不純物よりなる層のキャリア密度と温度の関係を示す図である。この本発明に用いられている不純物を用いると、保証温度と半導体基板の限界温度の間までキャリアが徐々に増加する。そして半導体基板の限界温度までは一定になる。

【0016】図5は本発明に用いられている層のキャリア密度と温度の関係を示す図である。図3と図4の不純物を同じ層に入れることで、保証温度を越えてから半導体基板の限界温度までの間にキャリア密度が変化する。これにより実使用温度の範囲では一定の抵抗率を持ち、保証温度から半導体基板の限界温度の間で抵抗率が変化するような特性が得られる。この抵抗率の変化により電流集中を緩和したり負荷短絡時に電流を通しにくくするような効果が得られる。アノードショート構造の場合、図4で示した深い準位をもつ不純物1種類でも効果があるが、この図のように2種類用いた方が使用温度での濃度変化がないためこの方が望ましい特性が得られる。

【0017】図6は本発明の第3の実施形態の電力用半導体素子の素子部の断面図（GTO）である。このような素子構造に適用した場合でも導通時やターンオフ時の電流集中または負荷短絡時の大電流で破壊し難い素子が得られるが、特にこの素子の場合はターンオフ時にゲートからキャリアを引き抜く際にゲートから離れたところにあるキャリアは残りやすく、よってその部分だけ電流集中を起こし破壊しやすい傾向がある。よって本発明に用いられている深い準位の不純物を用いることでこのような破壊現象も防ぐことが可能になる。深い準位の不純物を用いる場所は電流集中を起こしやすい場所だけでも全体でもよい。

【0018】図7は本発明の第4の実施形態の電力用半導体素子の素子部の断面図（MCT）である。このような素子構造に適用した場合でも導通時やターンオフ時の電流集中または負荷短絡時の大電流で破壊し難い素子が得られるが、特にこの素子の場合はターンオフ時させるためにゲートを動作させた際にゲートから離れたところだけ電流集中を起こし破壊しやすい傾向がある。さらに半導体基板や作製プロセスのわずかなばらつきによってゲートのタイミングがずれてしまうと電流集中傾向がますます顕著になる。本発明に用いられている深い準位の不純物を用いることでこのような破壊現象も防ぐことが可能になる。深い準位をもつ不純物をどの層に用いても効果があるが、ゲートによりチャネルが形成されるカソード側に用いる方がこの破壊現象を防ぐためには望ましい。

【0019】図8は本発明の第5の実施形態の電力用半導体素子の断面図（ダイオード）である。この図のP型ベース層は図1、2、6、7のP型ベース層に相当する。このような素子構造では図1、2、6、7で述べたように素子部であるP型ベース層とN型ベース層とN型エミッタ層に深い準位の不純物を入れても、また接合終端部であるP型リング層やP型リサーフ層に注入しても良いが、特にこのダイオード構造は接合終端部に電流が集中する傾向がある。よってダイオードの場合は接合終端部または素子部の接合終端部側に深い準位の不純物を注入するのが望ましい。接合終端部として他にもガード

THIS PAGE BLANK (USPTO)

リング構造などもあり、これ以外の接合終端構造にも適用できる。I E G T、I G B T、G T O などその他電力用半導体素子の接合終端構造にも利用できる。

【0020】図9は本発明の第6の実施形態の電力用半導体素子の断面図（プレーナ型 I E G T）である。この図のP型エミッタ層を貫くN型アノードショート層aには深いドナー準位をもつ不純物が入れてある。このN型アノードショート層aは高温になると事実上高濃度になり、アノード側の注入効率が低くなる。よって抵抗が大きくなり電流集中が防ぐことができ、大電流が瞬時に流れる場合でも破壊することがなくなる。これがもしN型エミッタ層であればP型のショート層を用い、温度上昇により自由正孔を放出するような深いアクセプタ準位をもつ不純物で構成する必要がある。

【0021】図10は本発明の第7の実施形態の電力用半導体素子の断面図（トレンチ型 I E G T）である。このような素子構造に適用した場合でも部分的に電流が集中する導通時やターンオフ時または全体に大電流が流れる負荷短絡時の破壊を防ぐことができる。

【0022】図11は本発明の第8の実施形態の電力用半導体素子の断面図（G T O）である。このような素子構造に適用した場合でも導通時やターンオフ時の電流集中または負荷短絡時の大電流で破壊し難い素子が得られるが、特にこの素子の場合にはターンオフ時にゲートからキャリアを引き抜く際にゲートから離れたところにあるキャリアは残りやすく、よってその部分だけ電流集中を起こし破壊しやすい傾向がある。よって本発明に用いられている深い準位の不純物を用いることでこの様な破壊現象も防ぐことが可能になる。深い準位の不純物を用いる場所は電流集中を起こしやすい場所だけでも全体でもよい。

【0023】図12は本発明の第9の実施形態の電力用半導体素子の断面図（M C T）である。このような素子構造に適用した場合でも導通時やターンオフ時の電流集中または負荷短絡時の大電流で破壊し難い素子が得られるが、特にこの素子の場合にはターンオフ時させるためにゲートを動作させた際にゲートから離れたところだけ電流集中を起こし破壊しやすい傾向がある。さらに半導体基板や作製プロセスのわずかなばらつきによってゲートのタイミングがずれてしまうと電流集中傾向がますます顕著になる。本発明に用いられている深い準位の不純物を用いることでこの様な破壊現象も防ぐことが可能になる。

【0024】これらすべては上記以外の半導体素子にも適用できる。基板もS i やS i C などすべてに用いることはができる。

【0025】

【発明の効果】以上詳述したように、電流集中により破壊しにくい電力用半導体素子を作ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る電力用半導体素子の断面図である。

【図2】本発明の第2の実施例に係る電力用半導体素子の断面図である。

【図3】浅い準位をもつ不純物のキャリア密度と温度の関係を示す特性図である。

【図4】深い準位をもつ不純物のキャリア密度と温度の関係を示す特性図である。

10 【図5】浅い準位をもつ不純物と深い準位をもつ不純物を混合させた時のキャリア密度と温度の関係を示す特性図である。

【図6】本発明の第3の実施例に係る電力用半導体素子の断面図である。

【図7】本発明の第4の実施例に係る電力用半導体素子の断面図である。

【図8】本発明の第5の実施例に係る電力用半導体素子の断面図である。

20 【図9】本発明の第6の実施例に係る電力用半導体素子の断面図である。

【図10】本発明の第7の実施例に係る電力用半導体素子の断面図である。

【図11】本発明の第8の実施例に係る電力用半導体素子の断面図である。

【図12】本発明の第9の実施例に係る電力用半導体素子の断面図である。

【図13】従来の電力用半導体素子の断面図である。

【図14】従来のアノードショート型電力用半導体素子の断面図である。

30 【符号の説明】

1・・・N型ベース層（半導体基板）

2・・・P型ベース層（素子領域）

3・・・N型エミッタ層

4・・・P型エミッタ層a

5・・・ゲート絶縁膜

6・・・ゲート電極

7・・・アノード電極

8・・・カソード電極

9・・・絶縁膜

40 10・・・P型ドレイン層

11・・・N型アノードショート層a

12・・・N型バリア層

13・・・P型エミッタ層b

14・・・N型アノードショート層b

15・・・P型リング層

16・・・P型リサーフ層

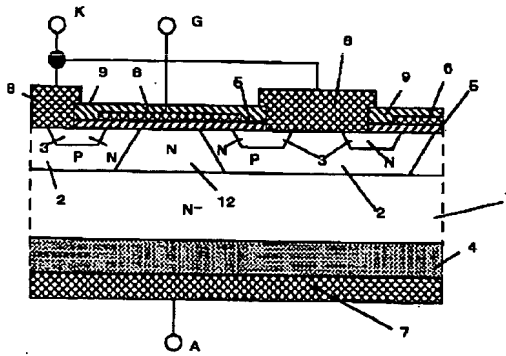
17・・・N型ストップパー層

18・・・高抵抗膜

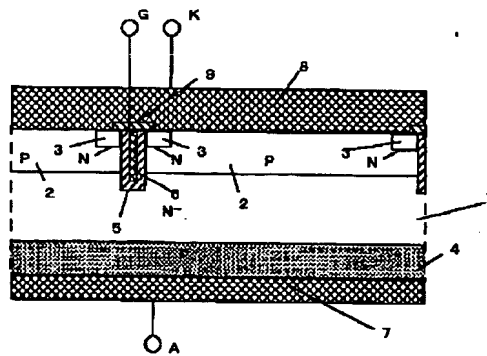
19・・・予備電極

THIS PAGE BLANK (JSPTO)

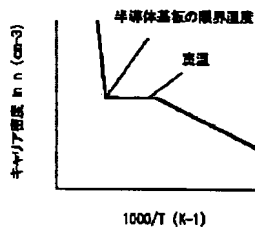
【図1】



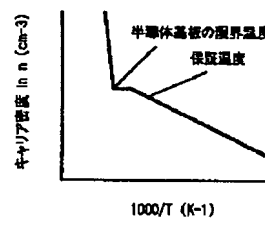
【図2】



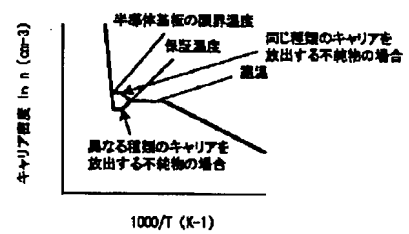
【図3】



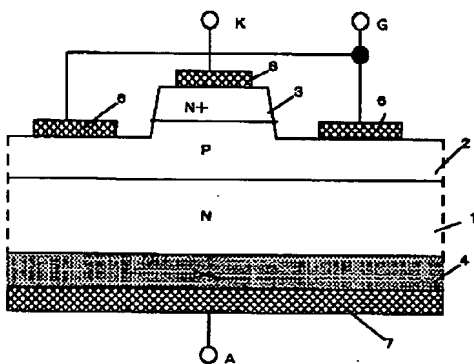
【図4】



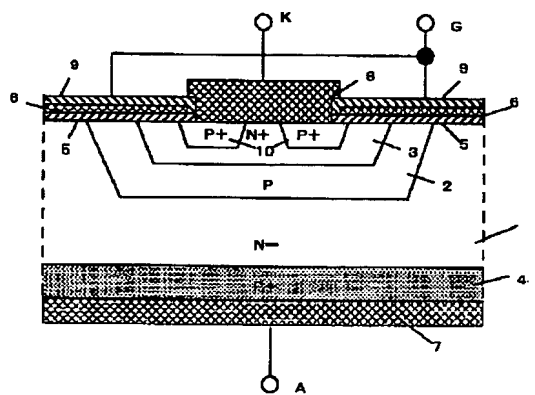
【図5】



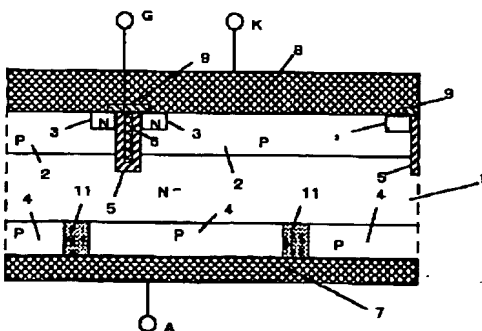
【図6】



【図7】

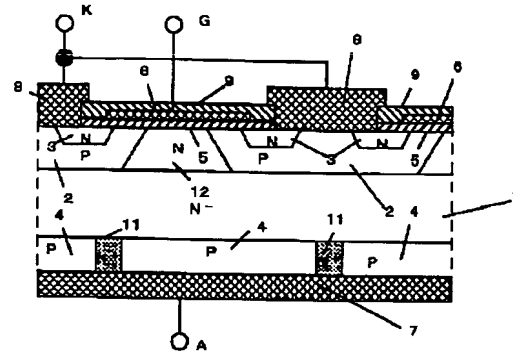


【図10】

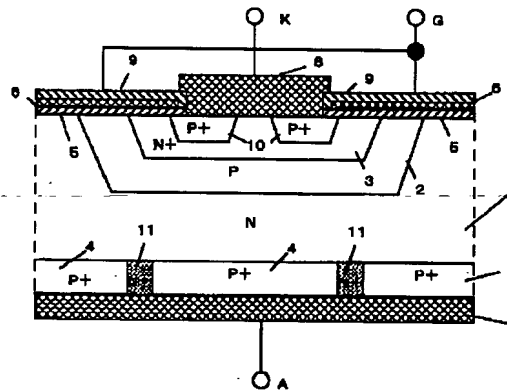


THIS PAGE BLANK (USPTO)

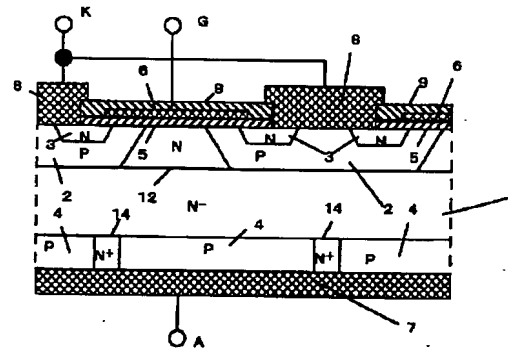
【图 9】



【图 1 2】



【图 1 4】



6 5 4 Z
6 5 5 C

THIS PAGE BLANK (USPTO)

(7)

特開 2 0 0 0 - 1 0 1 0 6 6

6 5 5 Z

29/91

D

THIS PAGE BLANK (USPTO)